

(4) Japanese Patent Application Laid-Open No. 1-268152 (1989):  
“SEMICONDUCTOR DEVICE”

The following is an English translation of claim 1.

[Claim 1] A semiconductor device having a wiring layer on a semiconductor substrate with an element formed thereon, comprising:

a first wiring layer; and

a second wiring layer made of a material having a smaller resistance value than said first wiring layer and partially connected to said first wiring layer.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A) 平1-268152

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)10月25日

H 01 L 21/88  
21/60  
21/88  
21/90M-6824-5F  
P-6918-5F  
T-6824-5F  
C-6824-5F

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-97949

⑰ 出 願 昭63(1988)4月20日

⑱ 発 明 者 谷 田 雄 二 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内

⑲ 発 明 者 坂 田 靖 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内

⑳ 発 明 者 村 田 道 昭 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内

㉑ 発 明 者 宇 佐 美 浩 之 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社  
海老名事業所内

㉒ 出 願 人 富士ゼロックス株式会 東京都港区赤坂3丁目3番5号  
社

㉓ 代 理 人 弁理士 山谷 皓 榮

## 明細書

## 1. 発明の名称 半導体装置

## 2. 特許請求の範囲

(1) 素子の形成された半導体基板上に配線層を有する半導体装置において、第1の配線層と、この第1の配線層よりも抵抗値が低い材料から成り第1の配線層と部分的に接続されている第2の配線層とを有する半導体装置。

(2) 前記第1の配線層としてAlを主成分とする配線層を用い、第2の配線層としてCuを主成分とする配線層を用いる請求項1記載の半導体装置。

(3) パッド部分に前記第1の配線層と同じ材料の配線層を用いた請求項1、2項記載の半導体装置。

3. 発明の詳細な説明  
(産業上の利用分野)

本発明は半導体装置に係り、特にその金属配線を高密度化するための構成に関するものである。

## (従来の技術)

LSI技術の発達に伴い、半導体装置特に半導体集積回路装置の微細化、高集積化が進んでいる。

このためこれらの半導体装置の配線部分に対しても高密度化が要求され、配線はより一層細く、電流密度はより多くなるように要求される。

従来、半導体集積回路装置に用いられる配線金属は、アルミニウム(Al)、またはAlを主成分とし、シリコン(Si)あるいは銅(Cu)等をわずかに含むものが主体であった。ここで、AlにSiをわずかに含ませるのは、AlとSiの反応防止のためであって、例えばSi基板上のAl配線との接触部分でAlがSi中に侵入してSi基板上の素子領域の破壊などの悪影響を及ぼすことを防止するためである。

また、AlにCuをわずかに含ませるのは、Al配線部分に流れる電流密度が大きくなると、そ

の一部が断線し易くなるエレクトロマイグレーション現象を防止するためである。

〔発明が解決しようとする課題〕

前記半導体装置における配線部分の高密度化に伴って、配線金属に対しても、従来用いられているAuよりも抵抗の小さな金属、あるいはエレクトロマイグレーション等により配線部分に流れる許容電流が制限されてしまうAuよりも許容電流が大きな金属が求められるようになった。

このような条件を満たす配線金属として、例えば抵抗値がAuの約1/2と小さく、かつエレクトロマイグレーションにも強いCuがある。

しかしながら、CuはSiと接触した場合、反応が生じ易くSiとCuとの界面あるいは配線部に異常が起こり電気的接続が完全でなくなることで、CuがSi中に侵入した場合Cu原子がSiの中に深い準位を作りキャリアの移動度を低下させるため、トランジスタ等の素子特性の低下を招き易いこと、ドライエッチングが困難であるため微細加工を施

しにくいこと、ワイヤボンディング等のボンディング工程が難しいなどの問題点がある。

そのため従来のAu配線をそのままCu配線に置きかえることは出来ない。

従って本発明の目的は、上記の問題点を解決するため、半導体積層回路装置に用いる配線金属として十分抵抗が小さく、許容電流の大きな金属を用い、基板等のSiとも反応せずボンディングの容易な配線を有する半導体装置を提供するものである。

〔課題を解決するための手段および作用〕

前記目的を達成するため、本発明は半導体装置の配線金属層として少なくとも二種類以上の配線金属層を用い、各配線金属層の特性を活かし、欠点を補うように両者を共存させるものである。即ち、微細加工を必要とし、流れる電流も比較的少ない配線部分には例えばAuを主体とする第1の金属層を用い、電流が多く流れる配線部分には抵抗値が低い、例えばCuを主体とする第2の配線層を

3

用い、所定の個所で両者を接続させるものである。

上記の構成にすることにより、微細加工を必要とする各半導体素子領域と配線との接触部分や、ボンディングパッド部分等にはそれらに適した材料（例えばAu）の配線層が、その他の配線部分には低抵抗の材料（例えばCu）から成る配線層が用いられ、両者を共存させることによって信頼性の高い高密度配線層がえられる。

〔実施例〕

(1) 第1実施例

本発明の第1実施例を第1図によって説明する。

第1図(a)は本発明の半導体装置の一部平面図、第1図(b)は第1図(a)のA-A'線に沿った断面図である。

第1図において、1は例えばP型のSi基板、2、2はn<sup>+</sup>型の素子領域であり、ソース・ドレイン領域を構成するもの、3はゲート酸化膜、4はゲート電極、5は素子分離酸化膜（ロコス酸化膜）6は層間絶縁膜、7はAu層、8はCu層、

4

9はボンディングパッド、9'はボンディングパッド用開孔部、10はパッシベーション絶縁膜をそれぞれ示す。なお、第1図(a)では基板1、ゲート酸化膜3、パッシベーション絶縁膜10を省略してある。

第1図ではP型Si基板1内に形成されたMOSFETのn<sup>+</sup>型素子領域2から、素子分離酸化膜5上に形成されたボンディングパッド9へ金属配線を施す例を示している。本実施例ではSi基板1と直接接触せず、流れる電流容量の比較的大きな主幹となる配線部分を抵抗値の小さいCu層8で形成し、Siである素子領域3と直接接触し、微細な加工を必要とする配線部分をAu層7で形成しているので、これらの接続部分はAu層7がCu層8の上に位置する多層構成となる。

またさらにボンディングパッド9はCu層8の上にAu層7を設け、ボンディング加工を容易にしている（第1図(a)）。

次に本実施例の製造方法を説明する。P型Si基板1表面に周知の方法により素子分離酸化膜5、

5

6

n<sup>+</sup>型素子領域2、2、ゲート酸化膜3、ゲート電極4から成るMOSFET、層間絶縁膜6を形成したSiウエハ表面にスパッタ法によりCuを堆積させ、HNO<sub>3</sub>を用いたウェットエッチングによって所定の形状にパターニングし第1の金属層となるCu層8を形成する。

次にSi基板表面に形成された素子領域2あるいはSi基板とのコンタクト領域上の層間絶縁膜6に開孔部を設けた後、Siを含むA膜をスパッタリングする。その後該A膜を所定の形状にパターニングし、A層7を形成する。この場合、素子領域2と接続されるA層7は部分7'においてすでに形成されているCuの配線層8と接続され、またボンディングパッド部9部分にも同時にA層7が形成されることになる。

さらにSiウエハの表面にパッシベーション絶縁膜10を形成した後、該絶縁膜10の所定位置にボンディングパッド用開孔部9'を設けてA層7を露出し、このLSIチップへのボンディング領域が形成される。

7

30は層間絶縁膜、38はCu層を示す。

本実施例においてはSi基板上に形成された素子領域あるいはSi基板との電気的接続のために設けられた開孔部を含む層間絶縁膜6上にA層37から成る配線層を設け、その上に例えばSiO<sub>2</sub>から成る層間絶縁膜を介してCu層38から成る第2の配線層を形成し、両者を必要に応じて接続するものである。

その製造方法は、周知の技術によって形成された素子分離絶縁膜2、MOSFET、層間絶縁膜6を有するSiウエハの層間絶縁膜6の所定部分に開孔部を形成した後、Siを含むA膜をスパッタ法により被着し、所定の形状にパターニングする。次に全体にSiO<sub>2</sub>から成る層間絶縁膜30を被着し、必要に応じて開孔部を形成した後スパッタリングによりCu膜を堆積させ所定の形状にパターニングを行って配線層を形成するものである。

本実施例の如くA層37、Cu層38の如き2種類の配線層の間に層間絶縁膜30を形成する

9

## 図 第2実施例

本発明の第2実施例を第2図について説明する。第2図は本発明の第2実施例で構成された半導体装置の一部の平面図であり、第1図と同一符号は同一部分を示し、27はA層、28はCu層、90はボンディングパッドを示す。

本実施例においてはボンディングパッド90はA層のみによって一層で構成されるとともに、このボンディングパッド90や、Si基板1との接触部を含むA層27による配線層が、他のCu層28による配線層の下層に形成されている。

またこれらの実施例では通常のボンディングパッド部のみを示しているが、電源やグランド電位に接続するためのパッド部分を形成する場合はCu層28の部分を広くして、配線部分の抵抗をさらに下げようようにすることもできる。

## 図 第3実施例

本発明の第3実施例を第3図によって説明する。第3図は本発明の半導体装置の断面図を示し、第1図と同一符号は同一部分を示し、37はA層、

8

ことにより、上層に形成した金属層（本実施例のCu層38）の加工工程の際、下層に形成した金属層（同様にA層37）に影響を与えることなく加工することができる。

## (4) 第4実施例

本発明の更に他の実施例を第4図、第5図によって説明する。第4図、第5図は本発明の半導体装置の断面図を示し、第1図、第3図と同一符号は同一部分を示し、47はA層、48はCu層を示す。

本実施例では素子領域等が形成されたウエハ表面の層間絶縁膜6上にCu層48から成る第1の配線層を設け、Cu層48と接続すべき部分に開孔部を設けた層間絶縁膜30を介してSiを含むA層47から成る第2の配線層を設けたものである。

この構造の場合のボンディングパッド部分は第5図に示す如き構造となる。即ち、素子分離酸化膜5、層間絶縁膜6上に設けられたCu層48上に開孔部を有する層間絶縁膜30を介してA層

10

## 特開平 1-268152(4)

47が設けられている。パッシベーション絶縁膜10に形成された開孔部9'によって露出されたA#層にボンディングが施されて装置を完成する。

なお上記第3の実施例の構造ではパッド部分はA#層のみの一層であるが、必要に応じて例えば、各々の間に層間絶縁膜を介してA#-Cu-A#の3層構造とすれば、パッド部分も多層構造とすることができる。

また、これらの実施例においては抵抗値の小さい第1の配線金属としてCuを用いた例について説明したが、本発明はこれに限られず、銀(Ag)あるいはCuとAgとの合金等でもよい。第2の金属としてA#層あるいはSiを含むA#層の代わりにSi、Cuを含むA#層やまたTi、W、Ta、Mo、TiW等他の高融点金属でもよいことはもちろんである。

さらに、配線金属層は2層の例について説明したが3層以上の多層構造でも同様の効果が得られる。

そしてCu等の第1の配線金属層は主幹となる

部分を中心に使用する例について示したが、技術的な細い配線部分に用いられてもよい。

CuやA#等の配線金属層の形成方法としてスパッタ法によりこれらの金属層を堆積した例について説明したがこれはCVD法等他の方法を用いてもさしつかえない。

また配線層下の半導体装置としてMOS構造のものについて説明したが、本発明はこれに限られず薄膜トランジスタ、ダイオード等の他の多数キャリア素子、バイポーラトランジスタ等の少数キャリア素子の場合にも同様に用いることができる。

## 〔発明の効果〕

本発明の構造にすることによりLSI配線の場合において、微細加工を必要とし、流れる電流の少ない配線部分、ボンディングパッド部分にはそれらに適した金属層を、許容電流の多い部分の配線部分には抵抗値の小さい金属層を用いることにより、各配線部分によって配線金属の特長を活かした配線を形成出来、LSIにおける配線の信頼

11

12

性を一層向上することができる。

## 4. 図面の簡単な説明

第1図は本発明の第1の実施例の説明図、

第2図は本発明の第2の実施例の説明図、

第3図は本発明の第3の実施例の説明図、

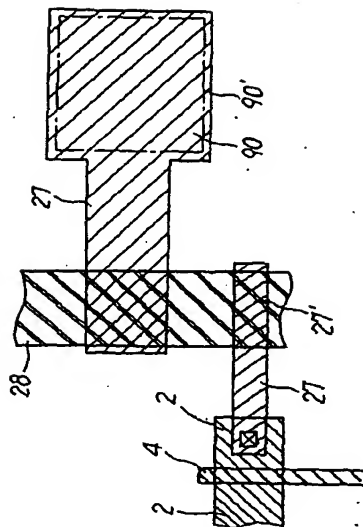
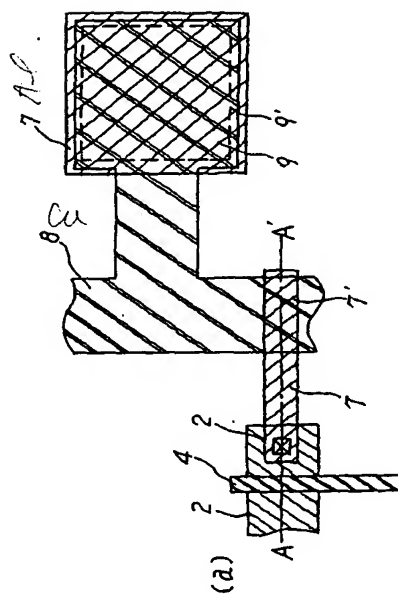
第4図、第5図は本発明の第4の実施例の説明図である。

- 1……Si基板、 2……素子領域、
- 5……素子分離酸化膜、
- 6、30……層間絶縁膜、
- 7、27、37、47……A#層、
- 8、28、38、47……Cu層、
- 9、90……ボンディングパッド、
- 10……パッシベーション絶縁膜。

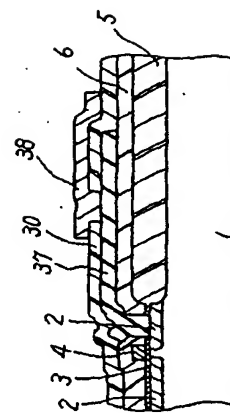
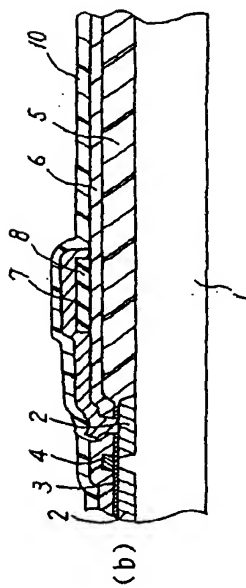
特許出願人 富士ゼロックス株式会社  
代理人弁護士 山谷 隆 榮

13

—274—

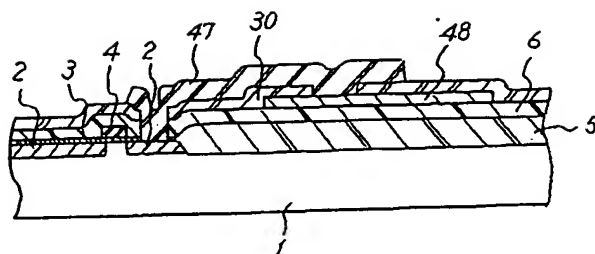


第 2 图

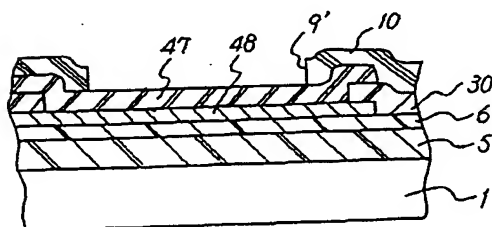


第 1 图

第 3 图



第 4 図



第 5 図